

PATENT ABSTRACTS OF JAPAN

IDS(1)

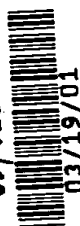
(11)Publication number : 09-232505

(43)Date of publication of application : 05.09.1997

(51)Int.Cl.

H01L 25/04
H01L 25/18
H01L 23/538

J1017 U.S. PRO
09/810420



(21)Application number : 08-056674

(71)Applicant : NIPPON MOTOROLA LTD

(22)Date of filing : 20.02.1996

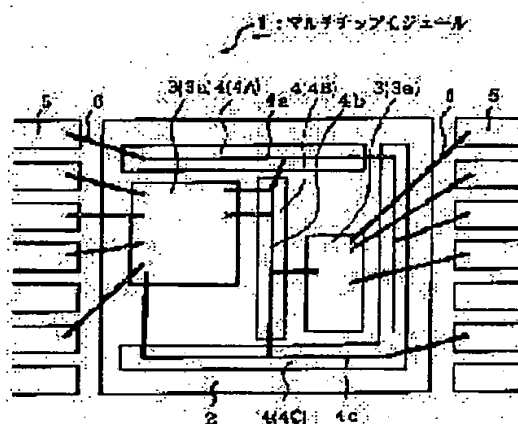
(72)Inventor : YOKOTA EIJI

(54) MULTI-CHIP MODULE MANUFACTURING METHOD AND MULTI-CHIP MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multi-chip module whose cost is reduced by enhancing the general purpose availability.

SOLUTION: Interconnection board elements 4 having interconnection patterns and integrated circuit chips 3 are disposed on a support 2, the elements 4 are interconnected to form an expected interconnection pattern on the whole, or interconnection pattern elements are formed on the interconnection board 4, the interconnection pattern elements selected among them are electrically interconnected to form an expected interconnection pattern and the boards 4 are electrically connected to the chips 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-232505

(43)公開日 平成9年(1997)9月5日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 25/04			H 0 1 L 25/04	Z
25/18			23/52	A
23/538				

審査請求 未請求 請求項の数3 F D (全 6 頁)

(21)出願番号 特願平8-56674

(22)出願日 平成8年(1996)2月20日

(71)出願人 000230308

日本モトローラ株式会社

東京都港区南麻布3丁目20番1号

(72)発明者 横田 栄二

東京都港区南麻布3丁目20番1号 日本モ
トローラ株式会社内

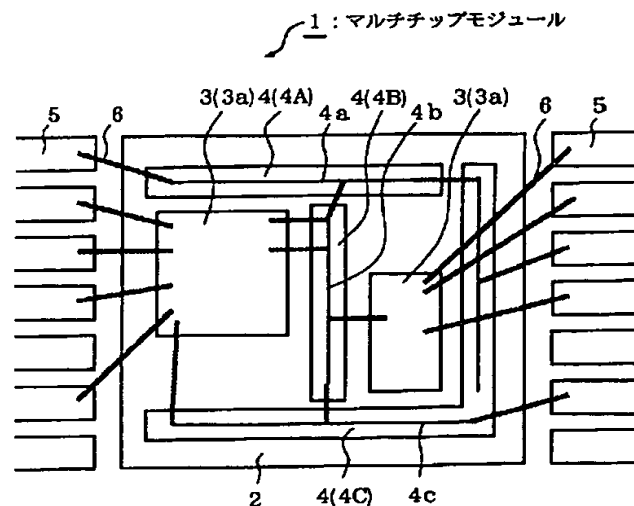
(74)代理人 弁理士 井上 俊夫

(54)【発明の名称】 マルチチップモジュールの製造方法及びマルチチップモジュール

(57)【要約】

【課題】 汎用性を高めてコストを低減化するマルチチップモジュールを提供すること。

【解決手段】 配線パターンが形成された複数の配線基板要素4及び複数の集積回路チップ3を支持台2の上に設け、複数の配線基板要素4同士を接続して全体で予定とする配線パターンを形成し、または、配線基板4に複数の配線パターン要素を形成し、これら複数の配線パターン要素から選択された配線パターン要素同士を電氣的に接続して予定とする配線パターンを形成し、配線基板及び集積回路チップ3を電氣的に接続するように構成する。



【特許請求の範囲】

【請求項 1】 配線パターンが形成された配線基板要素を複数用意し、

複数の集積回路チップと前記配線基板要素の中から選択した 1 個または 2 個以上の配線基板要素とを支持台の上に固定する工程と、

前記支持台上の配線基板要素同士を電氣的に接続することにより、あるいは前記支持台上の 1 個の配線基板要素自体で、予定とする配線パターンを形成するとともに、配線基板要素の配線パターンと集積回路チップとを電氣的に接続する工程と、

を含むことを特徴とするマルチチップモジュールの製造方法。

【請求項 2】 複数の集積回路チップと配線パターンが形成された複数の配線基板要素とを支持台の上に設け、前記配線基板要素及び前記集積回路チップを電氣的に接続するとともに、配線基板要素同士を電氣的に接続して全体で予定とする配線パターンを形成してなることを特徴とするマルチチップモジュール。

【請求項 3】 複数の集積回路チップと複数の配線パターン要素が形成された配線基板とを支持台の上に設け、前記複数の配線パターン要素から選択された配線パターン要素同士を電氣的に接続して予定とする配線パターンを形成し、配線パターン要素及び集積回路チップを電氣的に接続してなることを特徴とするマルチチップモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マルチチップモジュール(MCM:Multi Chip Module)と呼ばれる半導体デバイスの分野に関する。

【0002】

【従来の技術】近年、例えば、TV電話等の大容量データを扱う通信機器や、超高速コンピュータ等に代表される電子機器の高性能化に伴い、電子機器内に用いられる半導体デバイス自体にも、より多機能で高速なものが要求されている。また、近時における電子機器の小型化に伴って、半導体デバイスには、小型化、多ピン化、低熱抵抗化(高熱放散性)、高速性が要求されている。

【0003】半導体デバイスにおいて高機能化を図る場合、一般に、チップサイズ及び消費電力が大きくなる。チップサイズが大きくなると、ウエハプロセスにおける製造歩留まりが悪化してコストが上昇する。

【0004】このような問題に対して、従来、大きなチップの機能を小さく分解することによって製造歩留まりを向上させつつ、高性能化を図った半導体デバイスとしてマルチチップモジュールが開発されている。マルチチップモジュールは、小さな機能を持ったチップを 1 つのパッケージ内にモジュールとして収納することにより、パッケージに要求される性能を満たす半導体デバイスで

ある。

【0005】現在、このマルチチップモジュールは、その構造及び性能によって、ガラスエポキシ基板を用いたMCM-L(Laminated PCB substrate)タイプ、セラミック基板を用いたMCM-C(Co-fired ceramic substrate)タイプ、シリコン基板を用いたMCM-D(Deposited thin film substrate)タイプの 3 つに分類され、半導体メーカー各社において量産されている。図 9 は、これらのうちMCM-Lタイプの従来のマルチチップモジュールの構造を説明するための断面図である。このマルチチップモジュールは、アイランド 11 の上に、所定の配線パターン 12 が形成されたプリント基板 13 をボンディングし、この基板 13 の上に複数の集積回路チップ 14 を搭載すると共に、チップ 14 と配線パターン 12、及びインナーリード 15 と配線パターン 12 を夫々ボンディングワイヤ 16 で接続して構成されている。

【0006】例えば、QFP(Quad Flat Package)型デバイスに代表されるシングルチップデバイスでは、ウエハサイズとの関係から、高速性のために必要とされるグラウンドプレーンやマイクロストリップ回路等を設けることが難しいため、高速化が困難であった。しかし、図 9 に示すマルチチップモジュールでは、アイランド上にモジュールを構成する複数のチップを配置し、基板部分を多層構造としてグラウンドプレーンやマイクロストリップ回路等を設けることによって高速化を図っている。

【0007】

【発明が解決しようとする課題】しかしながら、このような従来のマルチチップモジュールにあっては、基板部分を多層構造とするため、製造プロセスが複雑となり、シングルチップの半導体デバイスと比較して製造コストが高いという問題点があった。すなわち、上記の 3 種類のマルチチップモジュールは、それぞれのパッケージに対して要求される性能を満足させるために、各種材料、構造が用いられている。

【0008】これらの材料、構造は、電氣的特性(高周波特性)、熱的特性(高熱放散性)の向上のために、従来のシングルチップ(QFP)の半導体デバイスに用いられている材料、構造と比較して大幅に異なったものとなっている。このため、これらの 3 種類のマルチチップモジュールでは、通常用いられているシングルチップのQFP/SOPと比べて一般にコストが高くなる。

【0009】さらに、従来のマルチチップモジュールでは、1 つのチップに対して 1 つのパターン、構造を適用することが多く、汎用性が低いこともコスト上昇の大きな要因となっていた。すなわち、従来のシングルチップデバイスの場合、ボンディングワイヤの長さを調整することが可能なので、ボンディングワイヤの接続の仕方によって動作内容の変更が可能である。このため、アイランド部分を予め大きくしておくことにより、チップサイ

ズの変更にも対応できる。

【0010】しかし、マルチチップモジュールの場合は、高速化のためにグランドプレーンやマイクロストッブ回路等が必要であり、これらの回路はチップの種類、チップサイズあるいはチップの個数に応じて予め配線パターンの決まったプリント基板上に形成される。つまり、プリント基板を用いると回路パターンが決まってくるため、ある機能を有するマルチチップモジュールを作成しようとする、それに対応するプリントパターンの作成が必要となるために一品一様となる。

【0011】本発明の課題は、配線基板の汎用性を高めることによりコストを低減化できるマルチチップモジュール及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明では、配線パターンが形成された複数の配線基板要素及び複数の集積回路チップを支持台の上に設け、複数の配線基板要素同士を接続して全体で予定とする配線パターンを形成する。さらにはまた本発明では、前記配線基板に複数の配線パターン要素を形成し、これら複数の配線パターン要素から選択された配線パターン要素同士を電気的に接続して予定とする配線パターンを形成する。そして配線基板要素あるいは配線基板の配線パターン要素と集積回路チップとを電気的に接続するように構成している。

【0013】配線基板要素については、複数に限らず1個だけ支持台の上に設けるようにしてもよいが、いずれの場合も配線パターンが形成された配線基板要素を複数用意し、これら配線基板要素の中から1個または2個以上の配線基板要素を選択する。前記配線基板要素は、例えば配線パターンを多層構造としたものが用いられ、特に多層構造の場合には、制作工程が複雑でコストが高いことから、予め用意した複数の基板要素の中から組み合わせ、そのマルチチップモジュールの種類に対応することにより、従来の手法に比べて、コストを低く抑えることができる。

【0014】

【発明の実施の形態】以下、本願発明の一実施形態を図面に基いて説明する。図1は、本実施形態におけるマルチチップモジュールの概略構造を説明するための要部平面図、図2は、図1における要部断面図である。

【0015】本実施形態のマルチチップモジュール1は、図1及び図2に示すように、例えば銅板などからなる角形のアイランド2上に所定の機能を有する複数のチップ3例えばマイコンチップ3a及びメモリチップ3bと複数の配線基板要素（プリント基板要素）4とを独立に配設し、チップ3、プリント基板4、そしてインナーリード5をボンディングワイヤ6で接続している。

【0016】配線基板要素4は、ガラスエポキシ等によって形成された2～4層構造の多層配線基板からなり、本例では、直片状の配線基板要素4A、4BとL字型の

配線基板要素4Cとの3つが用いられている。図中4a、4b、4cは、多層配線パターンのうち表面に形成された配線パターンを示している。

【0017】なお、配線基板要素4の基板材料として、ガラスエポキシを用いるのは、これらの基板は、セラミック基板と比較してコストが低く、パターン配置、層構造によって高周波に対応できて高速化が容易であるためである。また、図1に示す配線基板要素4では、3種類の基板4A、4B、4Cによって所定の配線パターンを形成しているが、そのうちの直片状の配線基板要素4A、4Bを用いて図3に示すように、1個の基板4Aと3個の基板4Bとを用いることによって形成することもできる。

【0018】次に、本実施形態におけるマルチチップモジュールのアセンブリ工程を図4及び図5に基づいて説明する。まず、図4(a)に示すように、チップサイズに対して汎用性を持たせるために、支持台である大きなアイランド2を準備する。そして、チップ3（マイコンチップ3a、メモリチップ3b）と、予め配線パターンを形成した細長い配線基板要素4（4A、4B、4C）とを、図4(b)に示すように、アイランド2上にダイボンディングと同様のプロセスにてボンディングする。この工程は、例えば銀ペーストを用い、加圧して両者を接着固定することによって行われる。

【0019】そして本発明では、予め作製した複数の配線基板要素の中から選択した配線基板要素をアイランド上に設けることが特徴の一つであるが、ここでいう複数の配線基板要素とは、各々別個に作製したものであってもよいが、1つの配線基板要素を作製しこの配線基板要素を分断して複数の配線基板要素を得るようにしてもよい。この例では、予めL字型の配線基板要素を作製しておき、この配線基板要素をそのまま配線基板要素4Cとして用いると共に、前記L字型の配線基板要素から所定の長さだけ切り出して直片状の配線基板要素4A、4Bとして用いるようにしている。

【0020】次に図5(a)に示すようにチップ3と配線基板要素4の例えば配線パターン4b、4cとの間、及びチップ3とインナーリード5との間、並びに配線基板要素4（4A～4C）の各配線パターン4a～4c同士を夫々ボンディングワイヤ6によって電気的に接続する。配線基板要素4同士の接続については、配線パターンの端部に接続アイランドを設け、接続アイランド同士をワイヤボンディングにより接続するようにしてもよいが、バンプを渡して接続するようにしてもよい。その後、図5(b)に示すように、アイランド2上のチップ3及びプリント基板4A、4B、4Cを含む全体をモールドしてリード処理を行う。

【0021】以上のアセンブリ工程により、本実施形態におけるマルチチップモジュール1が完成する。なお、本パッケージに用いるアセンブリ技術においては、例え

ば、プリント基板、ダイボンディング、リードフレーム等には、従来の技術をそのまま用いることができる。

【0022】図6は、他の実施形態におけるマルチチップモジュールの基板構造を説明するための要部平面図である。本実施形態における配線基板要素4（4D2）としては、図7の（a）に示す‘日’字状の基板4Dの端部を切断して、（b）に示す形状の配線基板要素4D1と（c）に示す形状の配線基板要素4D2とを得、そのうちの配線基板要素4D2を用いている。つまり、本例では、複数の配線基板要素から1個だけを使用することもできる。この場合‘日’字状の配線基板要素4（4D）からL字状の配線基板要素を切り出し、図7（b）に示す直片状の配線基板要素4（4D1）と組み合わせることもできる。

【0023】以上説明したように、上述の実施形態によれば、複数の配線基板要素を予め用意し、これら配線基板要素の中から1個あるいは2個以上の配線基板要素を選択してアイランド（支持台）に貼り付けるようにしているため、マルチチップモジュールの種別毎にプリント基板を作成することなく、配線基板要素の組み合わせ（配線基板要素が1個の場合も含む）により、予定とする配線パターンが得られる。

【0024】したがって、ある決まった配線基板要素を用意しておくだけで配線パターンの自由度を大きくすること、つまり、チップサイズ、種別、個数等が変わっても、その都度プリント基板をおこすことなく対応できるので、高い汎用性を確保することができる。この結果、特に、多層プリント基板の作成はコストが高いことから、一品一様となっていた従来のマルチチップモジュールと比較して低価格で製造することができる。

【0025】図8は、さらに他の実施形態におけるマルチチップモジュールの基板構造を説明するための要部平面図である。この実施形態では、図8（a）に示すように、予め種々の配線パターンに対応できるように複数の配線パターン要素71が形成された1枚の配線基板（プリント基板）7を用意する。これら配線パターン要素71は、先の実施形態における配線パターン4aなどと同等のもので、やはり多層構造をなしており、マルチチップモジュールを組立てる場合には、チップ3のサイズや種別などに応じた配線パターンが全体として形成されるように、配線パターン要素71群の中から配線パターン要素71を選択して、図8（b）、（c）に示すようにそれら配線パターン要素71同士を例えばボンディングワイヤ73などで接続する。図中72は接続アイランドである。このような実施の形態においても、チップサイズや種別が変わる度に、配線基板を作製しなくても、共通の配線基板を予め作製しておけば、配線パターン要素同士の接続を変えるだけで対応できるので、低コスト化

を図ることができる。なお本発明は、先の実施形態と図8に示す実施形態とを組み合わせてもよく、つまり各配線基板要素に複数の配線パターン要素を形成し、配線パターン要素同士の接続の仕方と配線基板要素の接続の仕方とを組み合わせてもよく、このようにすればより一層配線パターンの選択の自由度が大きくなる。

【0026】また、本実施形態では、上述の例に限らず、例えば、細長い配線基板要素を用意しておき、これから所定の長さの配線基板要素を切り出して、その組み合わせにより配線パターンを形成してもよい。

【0027】

【発明の効果】本発明では、配線パターンを有する配線基板に汎用性を持たせることにより、低コストなマルチチップモジュールを得ることができる。

【図面の簡単な説明】

【図1】本実施形態におけるマルチチップモジュールの概略構造を説明するための要部平面図。

【図2】図1における要部断面図。

【図3】本実施形態におけるマルチチップモジュールの他の基板パターンを示す図。

【図4】本実施形態におけるマルチチップモジュールのアセンブリ工程を説明するための図。

【図5】図4に続く、本実施形態におけるマルチチップモジュールのアセンブリ工程を説明するための図。

【図6】他の実施形態におけるマルチチップモジュールの基板構造を説明するための要部平面図。

【図7】さらに他の実施形態におけるマルチチップモジュールの基板構造を説明するための要部平面図。

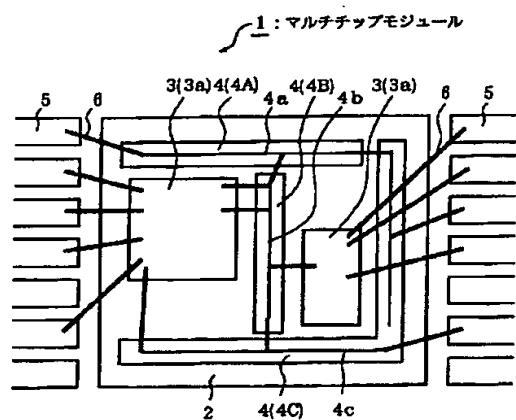
【図8】さらにまた他の実施形態におけるマルチチップモジュールの基板構造を説明するための要部平面図。

【図9】従来のマルチチップモジュールの構造を説明するための断面図。

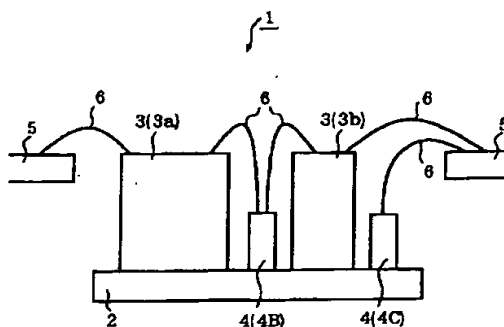
【符号の説明】

- 1 マルチチップモジュール
- 2 アイランド（支持台）
- 3 チップ（集積回路チップ）
- 3a マイコンチップ
- 3b メモリチップ
- 4 プリント基板（配線基板要素）
- 4A～4F 基板
- 4a～4c 配線パターン
- 5 インナーリード
- 6 ボンディングワイヤ
- 7 配線基板
- 71 配線パターン要素
- 72 接続アイランド
- 73 ボンディングワイヤ

【図1】

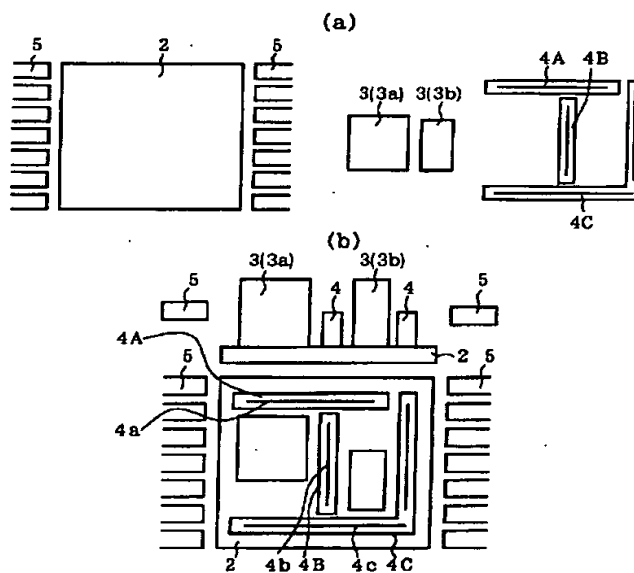
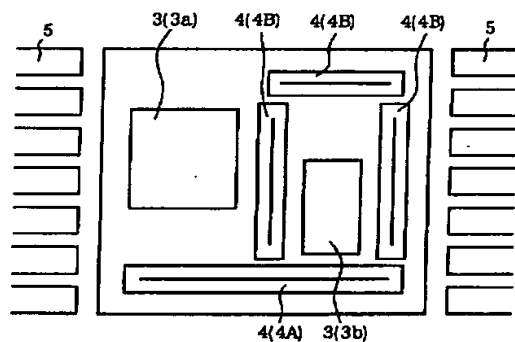


【図2】

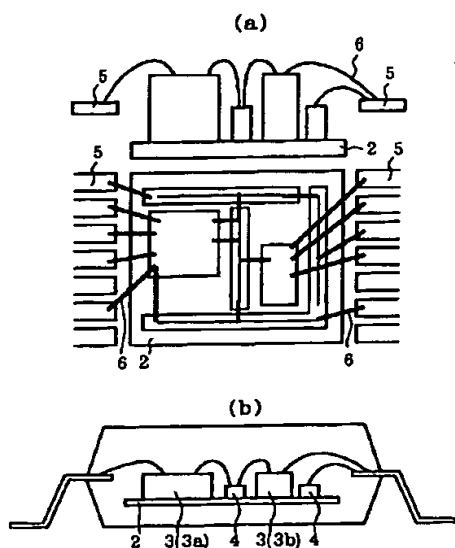


【図4】

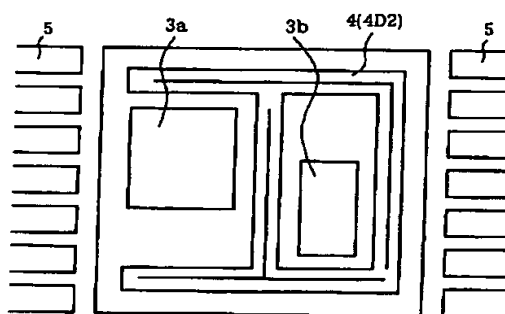
【図3】



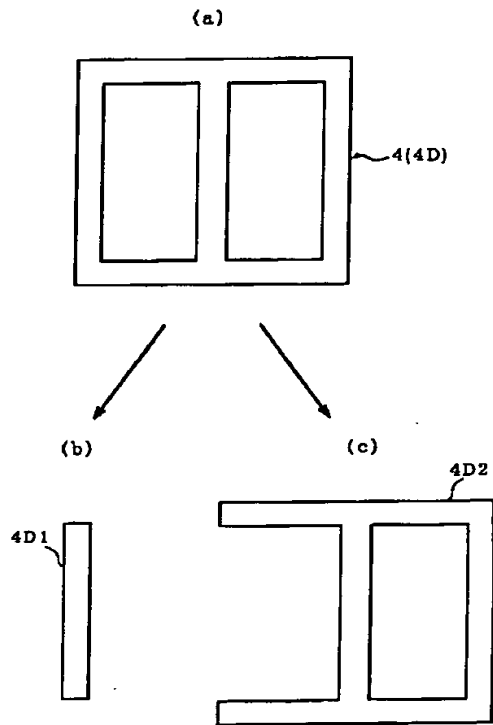
【図5】



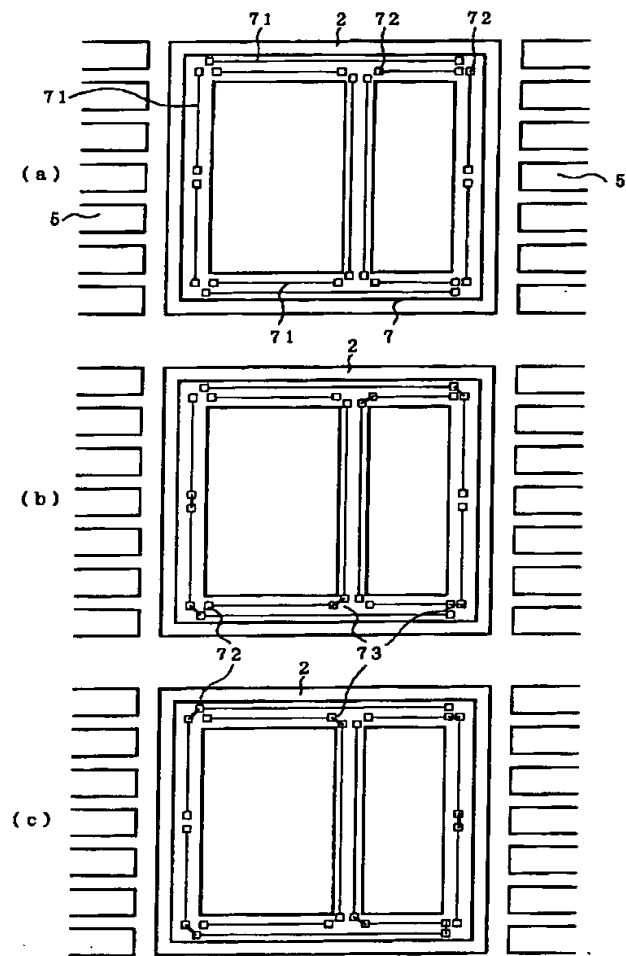
【図6】



【図7】



【図8】



【図9】

